

A01

Reduced resistance contact region for semiconductor device

Patent Number: ☐ US5047831
Publication date: 1991-09-10
Inventor(s): KATAYAMA TOSHIHARU (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: ☐ JP2153525
Application Number: US19890444358 19891201
Priority Number(s): JP19880308082 19881205
IPC Classification: H01L23/48; H01L29/40; H01L29/44; H01L29/52
EC Classification: H01L21/285B4, H01L29/36, H01L21/336H8, H01L29/417D10
Equivalents: JP2729309B2

Abstract

A semiconductor device comprising a contact region having reduced contact resistance is provided by the steps of implanting ions of impurities to a predetermined region of a main surface of a semiconductor substrate; forming an impurity diffusion region by applying heat treatment at 400 DEG C.; etching the region from the surface of the semiconductor substrate to the maximum point of an ion concentration to form a metal wiring layer on the exposed surface of the thus formed impurity diffusion region. Since the impurity diffusion region is connected to the metal wiring layer at the maximum point of the ion concentration, the contact resistance can be a low value.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-153525

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月13日

H 01 L 21/265
21/28
21/302
21/90

A 7738-5F
N 8223-5F
D 6810-5F
7522-5F

H 01 L 21/265

A

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-308082

⑰ 出 願 昭63(1988)12月5日

⑱ 発 明 者 片 山 俊 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板の予め定める領域に不純物イオンを打込むステップと、

打込まれた前記不純物イオンを活性化させるステップと、

活性化された前記不純物イオンの存在する前記半導体基板の前記予め定める領域を、予め定める深さエッチング除去するステップとを含む、半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置の製造方法に関し、特に、イオン注入領域のコンタクト抵抗を改善した半導体装置の製造方法に関する。

〔従来の技術〕

従来より、半導体プロセスに不可欠な技術としてイオン注入法が知られている。この技術は、半

導体へのP-N接合形成のための不純物添加法として開発された技術である。ここで、イオン注入とは目的とする物質をイオン化し、静電的に加速して必要なエネルギーを持たせ、半導体等のターゲットへ注入することをいう。

また、注入されたイオンの分布を最適化するために、注入後の熱拡散過程で半導体基板の露出面に酸化膜を形成することが特公昭49-15377号公報に示されている。そこで用いられている半導体装置の製造工程の概略を第3A図および第3B図に示す。次に、第3A図および第3B図を参照して、従来の半導体装置のコンタクト部の製造工程について説明する。

第3A図を参照して、半導体基板10の主面上に酸化膜20を形成する。この酸化膜20にフォトリソエッチングを施して、半導体基板10の所定部分を露出させる。次に、残存する酸化膜20をマスクとしてリンやホウ素等の不純物30をイオン状態で打込み、半導体基板10の露出面に注入する。これにより、イオン注入層40が得られる。

次に、第3B図を参照して、イオン注入により導入した不純物の活性化および格子欠陥の回復のために900～1300℃の熱処理を行なう。この高温処理の少なくとも一部は酸化雰囲気中で行なう。この工程において、半導体基板10の露出面は酸化されて酸化膜50が形成されるとともに、不純物イオンは熱拡散されて不純物拡散領域60が形成される。この工程では、不純物拡散領域60において所望の不純物濃度が得られるように、予め設定した温度および雰囲気条件が用いられる。

このようにして形成された不純物拡散領域60と他の活性領域あるいはボンディングパッド等とを電気的に接続する場合には、第3C図に示すように、酸化膜50をエッチング除去し、不純物拡散領域60上に金属配線70を形成する。

【発明が解決しようとする課題】

上述の半導体装置の製造方法では、900～1300℃の熱処理を行なっているので、低融点金属を用いる多層配線構造の半導体装置に上述の方法を適用することができない。

濃度の最大点は温度条件および雰囲気条件により変わるので、上述の界面と濃度の最大点の位置を一致させるのは極めて困難である。

それゆえに、この発明の目的は、不純物拡散領域と金属配線のコンタクト抵抗の低い半導体装置を、低温域でかつ簡易に製造することのできる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

この発明にかかる半導体装置の製造方法は、半導体基板の予め定める領域に不純物イオンを打込み、次に、不純物イオンを活性化させた後、予め定める深さだけその領域をエッチング除去する。

【作用】

この発明によれば、不純物イオンの最大濃度の位置を予め設定しておき、その位置までエッチングすることにより、不純物濃度の最大位置でコンタクトをとることができるので、不純物領域と金属層とのコンタクト抵抗を低減することができる。

【発明の実施例】

第1A図ないし第1D図はこの発明の一実施例

また、注入イオンの濃度分布は注入後の状態では、第4図の実線で示すような分布となっているが、この濃度分布は熱処理によるイオンの拡散と、その一方で形成される酸化膜の厚みなどの影響を受けて変化する。熱拡散後の濃度分布の2つの例を第4図に点線で示す。このように、注入イオンの濃度分布は、温度条件および雰囲気条件により左右されるので、所望の濃度分布を得るための条件を見出すことは極めて困難である。

また、見出した条件で処理を行なうには、温度制御および雰囲気制御を緻密に行なうことのできる制御装置を準備する必要がある。

さらに、上述の半導体装置において、不純物拡散領域60と金属配線70とのコンタクト抵抗を下げるのが望まれる場合がある。このような場合には、不純物濃度の最大点でコンタクトをとればよい。その場合、酸化膜のみをエッチング除去することは容易なので、酸化膜50と不純物拡散領域60との界面にその濃度の最大点を持つてくることが考えられる。しかし、上述の理由により、

の半導体装置の製造方法を説明するための工程別断面図である。次に、第1A図ないし第1D図を参照して、この発明の一実施例について説明する。

第1A図を参照して、半導体基板たとえばp型Si基板1の主面上にシリコン酸化膜2を形成する。このシリコン酸化膜2にフォトリソエッチングを施して、Si基板1の所定部分を露出させる。次に、残存するシリコン酸化膜2をマスクとしてリンやヒ素等の不純物3をイオン状態として打込み、Si基板1の露出面に注入する。これにより、イオン注入層4が得られる。

次に、第1B図を参照して、注入した不純物の活性化および格子欠陥の回復のために、約400℃の低温で熱処理を行なう。この処理において、第2図に示すような濃度分布を持つ不純物拡散領域5が得られる。第2図において、表面から距離dだけ離れた位置に不純物濃度の最大点がある。

次に、第1C図を参照して、Si基板1の表面から深さdまでの部分を、たとえば反応性イオンエッチングによりエッチング除去する。エッチン

グ速度はエッチングガス、エッチングされる材料およびエッチング条件により規定され、これらの条件等が定まれば一定の速度が得られるため、エッチングのエンドポイントをエッチング時間だけで判定することができる。

次に、第1D図を参照して、このようにして得られた凹部6上にたとえばアルミニウム等の金属配線層7を形成する。不純物拡散層6と金属配線層7は、不純物濃度の最大点でコンタクトをとっているため、そのコンタクト抵抗は極めて低い値となる。

なお、上述の実施例では、コンタクト部をp型Si基板に設ける例について説明したが、n型Si基板でもよく、また、Si基板に限らず、イオン注入されるものであれば、多種多様なものに適用することができる。また、不純物拡散層のエッチングはドライエッチングに限らず、ウェットエッチングでもよい。

[発明の効果]

以上のようにして、この発明によれば、不純物

濃度の最大位置でコンタクトをとることができるので、不純物層と金属層とのコンタクト抵抗を低減することができる。

4. 図面の簡単な説明

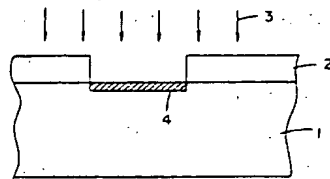
第1A図ないし第1D図はこの発明の一実施例の半導体装置の製造方法を説明するための工程別断面図である。第2図は活性後における不純物濃度と表面からの距離との関係を示すグラフである。第3A図ないし第3C図は従来の半導体装置の製造工程の概略断面図である。第4図はイオン注入後および熱拡散後における不純物濃度と表面からの距離との関係を示すグラフである。

図において、1はSi基板、2はシリコン酸化膜、3はリンやヒ素等の不純物、4はイオン注入層、5は不純物拡散層、6は凹部、7は金属配線層を示す。

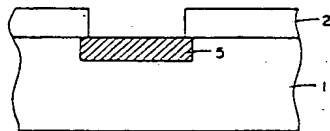
なお、図中、同一符号は同一または相当部分を示す。

代理人 大岩 増 雄

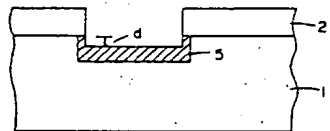
第1A図



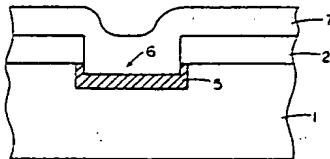
第1B図



第1C図

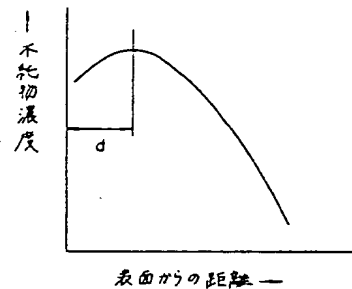


第1D図

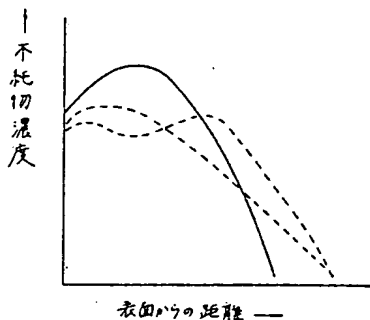


1: Si基板
2: シリコン酸化膜
3: 不純物
4: イオン注入層
5: 不純物拡散層
6: 凹部
7: 金属配線層

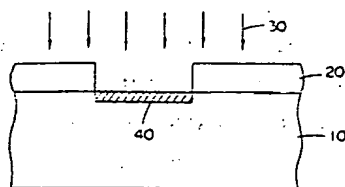
第2図



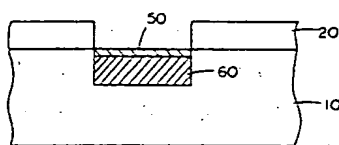
第4図



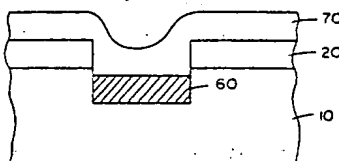
第3A図



第3B図



第3C図



특허출원 제 10-2002-0061248 호

Our Ref : 2002-DPH-0328

Your Ref : SG2002070312

2004.06.18

수 입 자		약정내용							
접 수 일		2002.07.18	출 원 일		2002.10.08				
의 회 인				당 당 변 리 사					
출 원 인		주식회사 하이닉스반도체		출 원 당 당 자					
				거 절 결 정 일					
명 칭	국문	반도체소자의 제조방법			심 판	마감일			
	영문					청구일			
청구항수		독립항	1	종속항	16	명세서	15		
						도면	2		
발 명 자		신동석			공 개	일 자			
심 사 구	마감일	2007.10.08				등 록	번 호		
	청구일	2002.10.08					결정일		
공 출 제 원	일자						마감일	과태마감일	
	번호							일 자	
재출원	일자							번 호	공고일
	번호								
우선권 사항	우선권번호	우선권일	접 수 일	마 감 일	제 출 일	기타 우선권서류			
	1								
	2								
	3								
	4								
	5								
연차료 납부	마감일	연차관리여부(항수)			관리인선임 등록일				
	과태	()			권 리 존 속 기 간				
	4	5	6	7	8				
	9	10	11	12	13				
	14	15	16	17	18				
	소멸일	소멸사유			포기/취하일				

No.	서류접수일	접수서류	접수내용	기연	서류마감일	심사관	서류제출일	제출서류	담당자	대상
1	2004.06.16	의견제출통지서(1)	29조2항		2004.08.16	김종찬				특허청
비고							현재 상태	의견제출통지서(1) 마감 2004년 8월 16일		